

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-120497

(43)公開日 平成 6年(1994) 4月28日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784 21/76	S	9169-4M 7377-4M 7377-4M	H 0 1 L 29/ 78	3 0 1 X 3 0 1 S

審査請求 未請求 請求項の数 4 (全 8 頁)

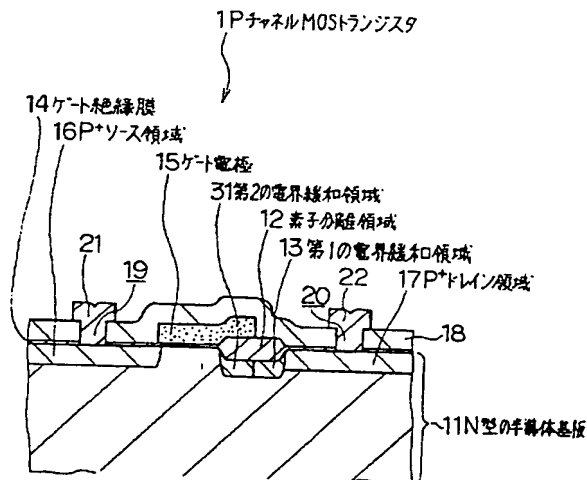
(21)出願番号	特願平4-292244	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川 6 丁目 7 番35号
(22)出願日	平成 4年(1992)10月 6日	(72)発明者	新宮 正孝 東京都品川区北品川 6 丁目 7 番35号 ソニ ー株式会社内
		(72)発明者	伊藤 信一 東京都品川区北品川 6 丁目 7 番35号 ソニ ー株式会社内
		(74)代理人	弁理士 船橋 国則

(54)【発明の名称】 MOSトランジスタおよびその製造方法

(57)【要約】

【目的】 本発明は、MOSトランジスタにおいて、電界緩和領域を低濃度領域と高濃度領域とに分けて形成することにより、高耐圧化を図る。

【構成】 一例として、N型の半導体基板 11 の上層に素子分離領域 12 が形成されていて、その下の一方側には第 1 の電界緩和領域 13 が形成され、その他方側には第 1 の電界緩和領域 13 よりも低濃度の第 2 の電界緩和領域 31 が第 1 の電界緩和領域 13 に接続して形成されている。また第 2 の電界緩和領域 31 側の N 型の半導体基板 11 上にはゲート絶縁膜 14 を介して素子分離領域 12 にオーバーラップするゲート電極 15 が形成されている。このゲート電極 15 に対して素子分離領域 12 側とは反対の N 型の半導体基板 11 の上層には P⁺ソース領域 16 が形成され、素子分離領域 12 側の N 型の半導体基板 11 の上層には P⁺ドレイン領域 17 が形成されているものである。



第1の実施例の概略構成断面図

【特許請求の範囲】

【請求項1】 半導体基板の上層に形成した素子分離領域と、

前記素子分離領域下における前記半導体基板の一方側に形成した第1の電界緩和領域と、

前記第1の電界緩和領域と同一導電型でかつ低濃度の領域であって、前記素子分離領域下における前記半導体基板の他方側に、当該第1の電界緩和領域に接続する状態に形成した第2の電界緩和領域と、

前記素子分離領域の少なくとも他方側の前記半導体基板の上層に形成したゲート絶縁膜と、

前記第2の電界緩和領域側のゲート絶縁膜上と前記第2の電界緩和領域上の前記素子分離領域上とに形成したゲート電極と、

前記ゲート電極に対して素子分離領域側とは反対の半導体基板の上層に形成したソース領域と、

前記素子分離領域に対して前記ゲート電極側とは反対の半導体基板の上層に、前記第1の電界緩和領域に接続する状態に形成したドレイン領域とよりなることを特徴とするMOSトランジスタ。

【請求項2】 半導体基板の上層に素子分離領域を形成するとともに、当該素子分離領域下における当該半導体基板の一方側に第1の電界緩和領域を形成し、当該半導体基板の他方側に当該第1の電界緩和領域と同一導電型でかつ低濃度の第2の電界緩和領域を当該第1の電界緩和領域に接続する状態に形成する第1の工程と、前記素子分離領域に対して前記第2の電界緩和領域側の前記半導体基板の上層にゲート絶縁膜を形成した後、前記第2の電界緩和領域側のゲート絶縁膜上と前記第2の電界緩和領域上の当該素子分離領域上とにゲート電極を形成する第2の工程と、

前記ゲート電極に対して素子分離領域側とは反対の半導体基板の上層にソース領域を形成するとともに、当該素子分離領域に対して当該ゲート電極側とは反対の半導体基板の上層に前記第1の電界緩和領域に接続するドレイン領域を形成する第3の工程とを行うことを特徴とするMOSトランジスタの製造方法。

【請求項3】 半導体基板の上層に形成した素子分離領域と、

前記素子分離領域下における前記半導体基板に形成した第1の電界緩和領域と、

前記素子分離領域の一方側における前記半導体基板の上面にゲート絶縁膜を介して形成したゲート電極と、

前記第1の電界緩和領域と同一導電型でかつ低濃度の領域であって、前記素子分離領域と前記ゲート電極との間における前記半導体基板の上層に、当該第1の電界緩和領域に接続する状態に形成した第2の電界緩和領域と、前記ゲート電極に対して前記第2の電界緩和領域側とは反対の半導体基板の上層に形成したソース領域と、

前記素子分離領域に対して前記ゲート電極側とは反対の

半導体基板の上層に、前記第1の電界緩和領域に接続する状態に形成したドレイン領域とよりなることを特徴とするMOSトランジスタ。

【請求項4】 半導体基板の上層に素子分離領域を形成するとともに、当該素子分離領域下における当該半導体基板に第1の電界緩和領域を形成する第1の工程と、前記素子分離領域の一方側における前記半導体基板の上面にゲート絶縁膜を形成し、さらに当該ゲート絶縁膜の上面にゲート電極を形成する第2の工程と、前記素子分離領域と前記ゲート電極との間における前記半導体基板の上層に前記第1の電界緩和領域と同一導電型でかつ低濃度の第2の電界緩和領域を、当該第1の電界緩和領域に接続する状態に形成する第3の工程と、前記ゲート電極に対して前記第2の電界緩和領域側とは反対の半導体基板の上層にソース領域を形成するとともに、前記素子分離領域に対して当該ゲート電極側とは反対の半導体基板の上層に、前記第1の電界緩和領域に接続するドレイン領域を形成する第4の工程とを行うことを特徴とするMOSトランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、高耐圧のMOSトランジスタとその製造方法に関するものである。

【0002】

【従来の技術】従来の高耐圧のMOSトランジスタを図5の概略構成断面図により説明する。図では、一例としてLOD (LOCOS Offset Drain) 型のPチャネルMOSトランジスタ5を示す。

【0003】図に示すように、N型の半導体基板11の上層には素子分離領域12が形成されている。素子分離領域12の下側のN型の半導体基板11にはP⁺電界緩和領域51が形成されている。また素子分離領域12の一方側のN型の半導体基板11の上層にはゲート絶縁膜14が形成されている。上記素子分離領域12側のゲート絶縁膜14上には素子分離領域12にオーバーラップする状態にゲート電極15が形成されている。

【0004】上記ゲート電極15に対して素子分離領域12側とは反対のN型の半導体基板11の上層にはP⁺ソース領域16が形成されている。また素子分離領域12に対してゲート電極15側とは反対のN型の半導体基板11の上層には、P⁺電界緩和領域51に接続するP⁺ドレイン領域17が形成されている。

【0005】さらにゲート電極15を覆う状態に層間絶縁膜18が形成されていて、P⁺ソース領域16上とP⁺ドレイン領域17上との当該層間絶縁膜18にはコンタクトホール19、20が形成されている。各コンタクトホール19、20には、P⁺ソース領域16とP⁺ドレイン領域17とに接続するソース電極21とドレイン電極22が形成されている。

【0006】

【発明が解決しようとする課題】しかしながら、上記構造のMOSトランジスタでは、高耐圧に対する電界緩和領域として、素子分離領域下のP⁺チャネルストップ領域を利用する。このため、濃度に対する自由度が小さい。したがって、チャネルストップ性能を優先させると耐圧が十分にとれない。一方耐圧を十分に確保しようとするとチャネルストップ性能が不十分になる。

【0007】特に素子の高集積化を実現するには、素子分離領域の厚さを薄くする、またはその幅を短くしなければならない。そのため、チャネルストップ領域として作用するP⁺電界緩和領域の濃度を高くする必要がある。高耐圧トランジスタにおいて、チャネルストップ領域としてのP⁺電界緩和領域が高濃度になると空乏層が伸び難くなる。したがって、なだれ降伏を起こしやすくなり、高耐圧を確保することができない。

【0008】本発明は、高耐圧に優れたMOSトランジスタとその製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明は、上記目的を達成するためになされたMOSトランジスタおよびその製造方法である。第1のMOSトランジスタとしては以下のような構成を成す。すなわち、半導体基板の上層には素子分離領域が形成されている。この素子分離領域下の半導体基板の一方側には第1の電界緩和領域が形成されていて、その他方側には第1の電界緩和領域と同一導電型でかつ低濃度の第2の電界緩和領域が当該第1の電界緩和領域と接続して形成されている。さらに第2の電界緩和領域側の半導体基板の上層にはゲート絶縁膜が形成されていて、その上層には第2の電界緩和領域上の素子分離領域にオーバーラップする状態にゲート電極が形成されている。このゲート電極に対して素子分離領域側とは反対の半導体基板の上層にはソース領域が形成されている。また素子分離領域に対してゲート電極側とは反対の半導体基板の上層には第1の電界緩和領域に接続するドレイン領域が形成されているものである。

【0010】第1のMOSトランジスタの製造方法としては、第1の工程で、半導体基板の上層に素子分離領域を設けるとともに、この素子分離領域下の半導体基板の一方側に第1の電界緩和領域を形成し、その他方側に第1の電界緩和領域と同一導電型でかつ低濃度の第2の電界緩和領域を当該第1の電界緩和領域に接続させて形成する。次いで第2の工程で、第2の電界緩和領域側の半導体基板の上層にゲート絶縁膜を形成した後、第2の電界緩和領域上の素子分離領域にオーバーラップする状態にゲート電極をゲート絶縁膜上に形成する。その後第3の工程で、ゲート電極に対して素子分離領域側とは反対の半導体基板の上層にソース領域を形成するとともに、素子分離領域に対してゲート電極側とは反対の半導体基板の上層に第1の電界緩和領域に接続するドレイン領域を形成する。

【0011】第2のMOSトランジスタとしては、上記第1のMOSトランジスタにおいて、第1の電界緩和領域は素子分離領域下の半導体基板に形成されている。またゲート電極は素子分離領域にオーバーラップすることなくゲート絶縁膜上に形成されている。そして第2の電界緩和領域はゲート電極と第1の電界緩和領域との間の半導体基板の上層に形成されているものである。

【0012】第2のMOSトランジスタの製造方法としては、第1の工程で、半導体基板の上層に素子分離領域を形成するとともに、当該素子分離領域下の当該半導体基板に第1の電界緩和領域を形成する。次いで第2の工程で、素子分離領域の一方側における半導体基板の上面にゲート絶縁膜を形成し、その上面にゲート電極を形成する。続いて第3の工程で、素子分離領域とゲート電極との間における半導体基板の上層に第1の電界緩和領域と同一導電型でかつ低濃度の第2の電界緩和領域を第1の電界緩和領域に接続させて形成した後、第4の工程で、ゲート電極に対して第2の電界緩和領域側とは反対の半導体基板の上層にソース領域を形成するとともに、素子分離領域に対してゲート電極側とは反対の半導体基板の上層に第1の電界緩和領域の接続するドレイン領域を形成する。

【0013】

【作用】上記第1、第2のMOSトランジスタでは、第1の電界緩和領域に対してゲート電極側の半導体基板の上層に、当該第1の電界緩和領域と同一導電型でかつ第1の電界緩和領域よりも低濃度の第2の電界緩和領域を形成したことにより、第1の電界緩和領域の濃度はチャネルストップ性能が十分に確保される濃度に設定される。それとともに、第2の電界緩和領域の濃度は高耐圧が十分に確保される濃度に設定される。

【0014】また上記第1、第2の製造方法では、第2の電界緩和領域の濃度がソース領域やドレイン領域よりも一桁ないし二桁のオーダーで低いので、例えばイオン注入マスクを用いないで、半導体基板の全面に第2の電界緩和領域を形成する不純物を導入することが可能になる。

【0015】

【実施例】本発明の第1の実施例を図1の概略構成断面図により説明する。図では、一例としてLOD (LOCOS Offset Drain) 型のPチャネルMOSトランジスタ1を示す。図に示すように、例えばN型の半導体基板11の上層には素子分離領域12が形成されている。この素子分離領域12の下側におけるN型の半導体基板11の一方側には第1の電界緩和領域13が形成されている。また他方側には第1の電界緩和領域13と同一導電型(P型)でかつ低濃度の第2の電界緩和領域31が当該第1の電界緩和領域13に接続する状態に形成されている。

【0016】上記素子分離領域12に対して第2の電界

緩和領域31側におけるN型の半導体基板11の上面上にはゲート絶縁膜14が形成されている。また第2の電界緩和領域31側のゲート絶縁膜14上には、第2の電界緩和領域31上の素子分離領域12にオーバーラップする状態にゲート電極15が形成されている。なお当該図に示すように、通常ゲート絶縁膜14はN型の半導体基板11の他の表面にも形成されている。上記ゲート電極15に対して素子分離領域12側とは反対のN型の半導体基板11の上層にはP⁺ソース領域16が形成されている。また素子分離領域12に対してゲート電極15側とは反対のN型の半導体基板11の上層には、第1の電界緩和領域13に接続するP⁺ドレイン領域17が形成されている。

【0017】さらにゲート電極15側の全面を覆う状態に層間絶縁膜18が成膜されている。またP⁺ソース領域16上とP⁺ドレイン領域17上との当該層間絶縁膜18とゲート絶縁膜14とはコンタクトホール19、20が形成されている。各コンタクトホール19、20には、P⁺ソース領域16とP⁺ドレイン領域17とに接続するソース電極21とドレイン電極22とが形成されている。上記の如くに、PチャンネルMOSトランジスタ1が構成されている。

【0018】上記PチャンネルMOSトランジスタ1では、第1の電界緩和領域13に対してゲート電極15側のN型の半導体基板11の上層に第2の電界緩和領域31を形成したことにより、第1の電界緩和領域13の濃度はチャネルストップ性能が十分に確保される濃度に設定される。また第2の電界緩和領域31の濃度は高耐圧が十分に確保される濃度に設定される。

【0019】次に上記第1の実施例の製造方法を図2の製造工程図により説明する。図2の(1)に示すように、第1の工程では、通常のLOCOS法によって、素子分離領域になるLOCOS酸化膜を形成するための酸化用マスク41を半導体基板11上に形成する。この酸化用マスク41は、通常、酸化シリコン(SiO₂)膜と窒化シリコン(SiN)膜との積層構造で形成される。

【0020】次いで酸化用マスク41をイオン注入マスクに用いた通常のイオン注入法によって、N型の半導体基板11の上層に、P型の不純物として、例えば二フッ化ホウ素(BF₃)をイオン注入する。このときのイオン注入条件としては、ドーズ量を $1 \times 10^{12} / \text{cm}^2 \sim 5 \times 10^{13} / \text{cm}^2$ 程度に設定する。

【0021】続いて図2の(2)に示すように、ホトリソグラフィ技術によって、素子分離領域12を形成する部分のおよそ半分を覆うイオン注入マスク42を形成する。その後通常のイオン注入法によって、N型の半導体基板11の上層に、後述する第1の電界緩和領域(13)を形成するためのP型の不純物として、例えば二フッ化ホウ素(BF₃)をイオン注入する。このイオン注

入のドーズ量は、上記図の(1)で説明したイオン注入のドーズ量よりも大きい値に設定する。次いでイオン注入マスク42を、例えばアッシャー処理によって除去する。

【0022】その後図2の(3)に示すように、LOCOS酸化を行って、N型の半導体基板11の上層に素子分離領域12を形成するとともに、当該素子分離領域12の下側のN型の半導体基板11に第1の電界緩和領域13とそれに接続する第2の電界緩和領域31とを形成する。次いで例えばエッチングによって、上記酸化用マスク41を除去する。

【0023】そして図2の(4)に示す第2の工程を行う。この工程では、例えば化学的気相成長法によって、N型の半導体基板11の上層にゲート絶縁膜14を形成する。その後、化学的気相成長法によって、ゲート電極形成膜(43)を成膜した後、通常のホトリソグラフィ技術とエッチングとによって、第2の電界緩和領域31上の素子分離領域12にオーバーラップする状態にして、当該ゲート絶縁膜14上の第2の電界緩和領域31側に、ゲート電極形成膜(43)でゲート電極15を形成する。

【0024】続いて図2の(5)に示す第3の工程を行う。この工程では、通常のイオン注入法によって、P型の不純物として、例えば二フッ化ホウ素(BF₃)をイオン注入する。そしてゲート電極15に対して素子分離領域12側とは反対のN型の半導体基板11の上層にP⁺ソース領域16を形成する。それとともに、素子分離領域12に対してゲート電極15側とは反対のN型の半導体基板11の上層にP⁺ドレイン領域17を第1の電界緩和領域13に接続する状態に形成する。上記イオン注入条件としては、ドーズ量を例えば $1 \times 10^{15} / \text{cm}^2 \sim 5 \times 10^{15} / \text{cm}^2$ 程度に設定する。

【0025】その後図2の(6)に示すように、化学的気相成長法によって、ゲート電極15側の全面を覆う状態に層間絶縁膜18を成膜する。次いでホトリソグラフィ技術とエッチングとによって、P⁺ソース領域16上とP⁺ドレイン領域17上との当該層間絶縁膜18とゲート絶縁膜14とにコンタクトホール19、20を形成する。続いて通常の配線形成技術によって、各コンタクトホール19、20に、P⁺ソース領域16とP⁺ドレイン領域17とに接続するソース電極21とドレイン電極22とを形成する。上記のようにして、PチャンネルMOSトランジスタ1が形成される。

【0026】上記第1の実施例の製造方法では、第2の電界緩和領域31の濃度が、第1の電界緩和領域13よりも低いので、イオン注入マスクを用いなくて、N型の半導体基板11の全面に第2の電界緩和領域31を形成する不純物を導入することが可能になる。したがって、第2の電界緩和領域31を形成するためのイオン注入マスクを形成する工程を行う必要がない。

【0027】なおこの製造方法は、CMOSに適用することも可能である。この場合に、例えばCMOSのチャネルストップ領域を形成するには、第2の電界緩和領域31を形成するためのイオン注入マスクを形成しないでイオン注入を行う。P⁺チャネルストップ領域を形成するには、ドーズ量を上記イオン注入におけるドーズ量に付加する値に設定する。またN⁺チャネルストップ領域を形成するには、ドーズ量を上記イオン注入におけるドーズ量より差し引く値に設定する。したがって、N型の不純物（例えばリン）を設定値にあわせたドーズ量で注入すればよい。

【0028】次に第2の実施例を図3の概略構成断面図により説明する。図では、一例としてLOD（LOCOS Offset Drain）型のPチャネルMOSトランジスタ2を示す。また前記図1で説明したPチャネルMOSトランジスタ1と同様の構成部品には同一符号を付す。図に示すように、N型の半導体基板11の上層には素子分離領域12が形成されている。この素子分離領域12の下側におけるN型の半導体基板11には第1の電界緩和領域13が形成されている。

【0029】上記素子分離領域12の一方側におけるN型の半導体基板11の上層にはゲート絶縁膜14が形成されている。このゲート絶縁膜14上にはゲート電極15が形成されている。なお当該図に示すように、通常ゲート絶縁膜14はN型の半導体基板11の他の表面にも形成されている。また上記素子分離領域12と上記ゲート電極15との間におけるN型の半導体基板11の上層には、第1の電界緩和領域13と同一導電型（P型）でかつ低濃度の第2の電界緩和領域32が当該第1の電界緩和領域13に接続する状態に形成されている。

【0030】上記ゲート電極15に対して第2の電界緩和領域32側とは反対のN型の半導体基板11の上層にはP⁺ソース領域16が形成されている。また素子分離領域12に対してゲート電極15側とは反対のN型の半導体基板11の上層にはP⁺ドレイン領域17が第1の電界緩和領域13に接続する状態に形成されている。

【0031】さらにゲート電極15側の全面を覆う状態に層間絶縁膜18が成膜されている。またP⁺ソース領域16上とP⁺ドレイン領域17上との当該層間絶縁膜18とゲート絶縁膜14とはコンタクトホール19、20が形成されている。各コンタクトホール19、20には、P⁺ソース領域16とP⁺ドレイン領域17とに接続するソース電極21とドレイン電極22とが形成されている。上記の如くに、PチャネルMOSトランジスタ2が構成されている。

【0032】上記PチャネルMOSトランジスタ2では、第1の電界緩和領域13と第2の電界緩和領域とを形成したことにより、第1の電界緩和領域13の濃度はチャネルストップ性能が十分に確保される濃度に設定され、第2の電界緩和領域31の濃度は高耐圧が十分に確

保される濃度に設定される。

【0033】なお図示はしないが、いわゆるLDDMOストランジスタと同一基板上に上記PチャネルMOSトランジスタ2が形成されているものでは、LDD領域を形成するときに上記第2の電界緩和領域32の部分にLDD用イオン注入がなされないようにマスクを形成することによって、当該PチャネルMOSトランジスタ2を形成することも可能である。

【0034】次に上記第2の実施例の製造方法を図4の製造工程図により説明する。図4の（1）に示すように、第1の工程では、前記図2の（1）で説明したと同様に、N型の半導体基板11の上面に酸化用マスク41を酸化シリコン（SiO₂）膜と窒化シリコン（Si₃N₄）膜との積層構造で形成する。次いで酸化用マスク41をイオン注入マスクに用いた通常のイオン注入法によって、N型の半導体基板11の上層に、P型の不純物として、例えば二フッ化ホウ素（BF₃）をイオン注入する。その後、LOCOS酸化を行って、N型の半導体基板11の上層に素子分離領域12を形成するとともに、当該素子分離領域12の下側のN型の半導体基板11に第1の電界緩和領域13を形成する。第1の電界緩和領域13は、他のMOSトランジスタのP⁺チャネルストップ領域と同時に形成することが可能である。

【0035】次いで例えばエッチングによって、上記酸化用マスク41を除去する。そして図4の（2）に示す第2の工程を行う。この工程では、前記図2の（4）で説明したと同様に、N型の半導体基板11の上面にゲート絶縁膜14を形成する。さらに素子分離領域12の一方側におけるゲート絶縁膜14の上面にゲート電極15を形成する。

【0036】続いて図4の（3）に示す第3の工程を行う。この工程では、上記ゲート電極15と素子分離領域12とをイオン注入マスクにした通常のイオン注入法によって、N型の半導体基板11の上層に、P型の不純物として、例えば二フッ化ホウ素（BF₃）をイオン注入する。そして素子分離領域12とゲート電極15との間におけるN型の半導体基板11の上層に、第1の電界緩和領域13と同一導電型でかつ低濃度の第2の電界緩和領域32を第1の電界緩和領域13に接続する状態に形成する。このイオン注入条件としては、ドーズ量を例えば $1 \times 10^{12} / \text{cm}^2 \sim 5 \times 10^{12} / \text{cm}^2$ 程度に設定する。このイオン注入において、N型の半導体基板11の上層全域にホウ素をイオン注入したが、後のイオン注入工程におけるドーズ量が上記ドーズ量よりも一桁以上大きいので、影響はない。

【0037】次いで図4の（4）に示す第4の工程を行う。この工程では、通常ホトリソグラフィ技術によって、ゲート電極15と素子分離領域12との間に形成した第2の電界緩和領域32を覆うイオン注入マスク44を形成する。その後通常のイオン注入法によって、P

型の不純物として、例えば二フッ化ホウ素 (BF_3) を N型の半導体基板 11 の上層にイオン注入する。そしてゲート電極 15 に対して第 2 の電界緩和領域 32 側とは反対の N型の半導体基板 11 の上層に P^+ ソース領域 16 を形成する。それとともに、素子分離領域 12 に対してゲート電極 15 側とは反対の N型の半導体基板 11 の上層に P^+ ドレイン領域 17 を第 1 の電界緩和領域 13 に接続する状態に形成する。上記イオン注入条件としては、ドーズ量を例えば $1 \times 10^{15} / \text{cm}^2 \sim 5 \times 10^{15} / \text{cm}^2$ 程度に設定する。

【0038】続いて上記イオン注入マスク 44 を、例えばアッシャー処理によって除去する。その後図 4 の

(5) に示すように、前記図 2 の (6) で説明したと同様に、ゲート電極 15 側の全面を覆う状態に層間絶縁膜 18 を成膜し、次いで P^+ ソース領域 16 上と P^+ ドレイン領域 17 上との当該層間絶縁膜 18 とゲート絶縁膜 14 とにコンタクトホール 19、20 を形成する。続いて各コンタクトホール 19、20 に、 P^+ ソース領域 16 と P^+ ドレイン領域 17 とに接続するソース電極 21 とドレイン電極 22 とを形成する。上記のようにして、Pチャネル MOS トランジスタ 2 が形成される。

【0039】上記第 2 の実施例の製造方法では、第 2 の電界緩和領域 32 の濃度が、 P^+ ソース領域 16、 P^+ ドレイン領域 17 よりも二桁のオーダーで低いので、イオン注入マスクを用いなくて、N型の半導体基板 11 の全面に第 2 の電界緩和領域 32 を形成する不純物を導入することが可能になる。したがって、第 2 の電界緩和領域 32 を形成するためのイオン注入マスクを形成する工程を行う必要はない。

【0040】上記第 1、第 2 の実施例では Pチャネル MOS トランジスタについて説明したが、Nチャネル MOS トランジスタについても同様である。この場合には、構成部品の極性が逆になる。また上記第 1、第 2 の実施例で説明したイオン注入条件は、一例であって、その数値に限定されることはない。

【0041】

【発明の効果】以上、説明したように本発明の MOS トランジスタによれば、第 1 の電界緩和領域に対してゲート電極側の半導体基板の上層に、当該第 1 の電界緩和領域と同一導電型でかつ第 1 の電界緩和領域よりも低濃度の第 2 の電界緩和領域を形成したことにより、第 1 の電界緩和領域はチャネルストップ性能が十分に確保される濃度に形成できる。それとともに、電界緩和領域は高耐圧が十分に確保される濃度に形成できる。よって MOS トランジスタは、なだれ降伏による影響を受けることなく高耐圧を有するものになる。

【0042】また上記製造方法によれば、電界緩和領域の濃度がソース領域またはドレイン領域よりも二桁のオーダーで低いので、例えばイオン注入マスクを用いなくて、半導体基板の全面に電界緩和領域を形成する不純物を導入することが可能になる。したがって、マスクを用いる工程を増やすことなく電界緩和領域が形成できるので、製造工程の負担が最小限になる。

【図面の簡単な説明】

【図 1】第 1 の実施例の概略構成断面図である。

【図 2】第 1 の実施例の製造工程図である。

【図 3】第 2 の実施例の概略構成断面図である。

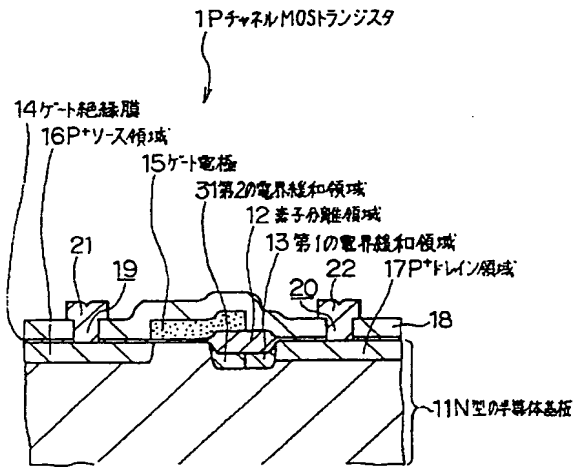
【図 4】第 2 の実施例の製造工程図である。

【図 5】従来例の概略構成断面図である。

【符号の説明】

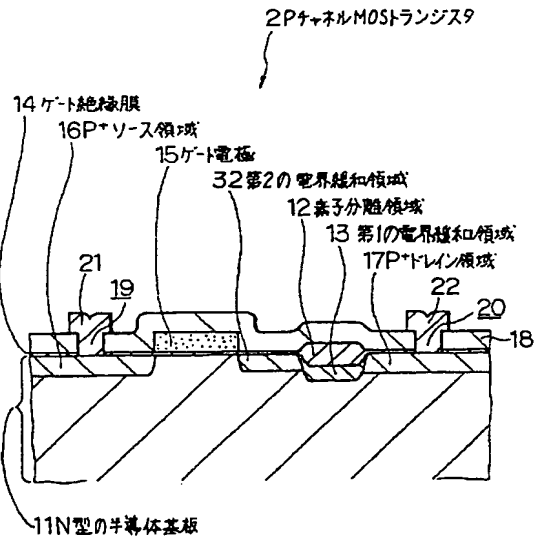
- 1 Pチャネル MOS トランジスタ
- 2 Pチャネル MOS トランジスタ
- 11 N型の半導体基板
- 12 素子分離領域
- 13 第 1 の電界緩和領域
- 14 ゲート絶縁膜
- 15 ゲート電極
- 16 P^+ ソース領域
- 17 P^+ ドレイン領域
- 31 第 2 の電界緩和領域
- 32 第 2 の電界緩和領域

【図1】



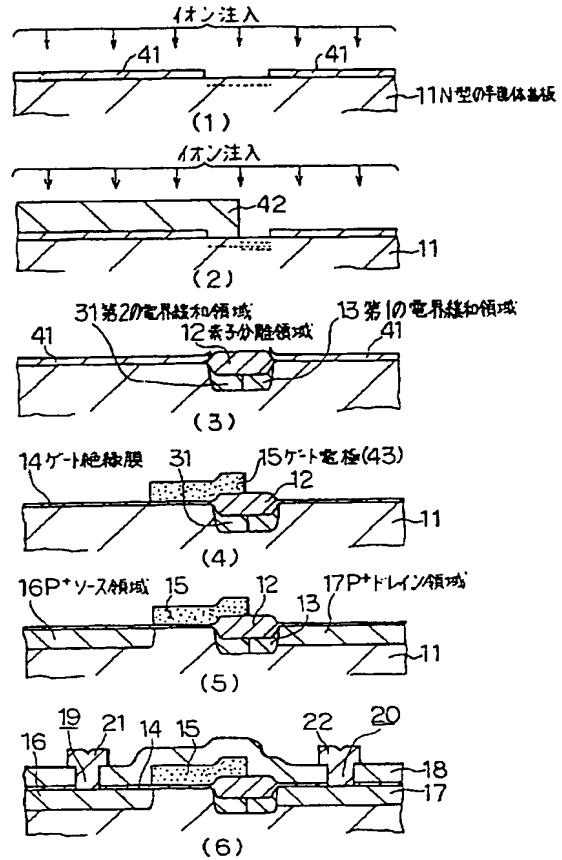
第1の実施例の概略構成断面図

【図3】



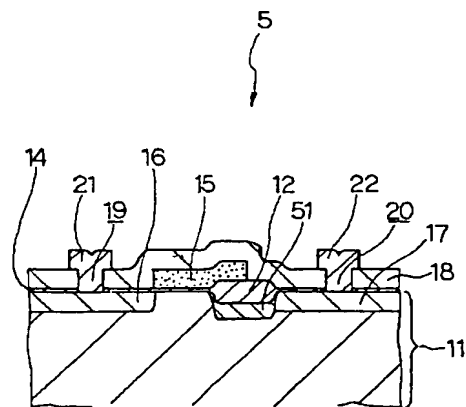
第2の実施例の概略構成断面図

【図2】



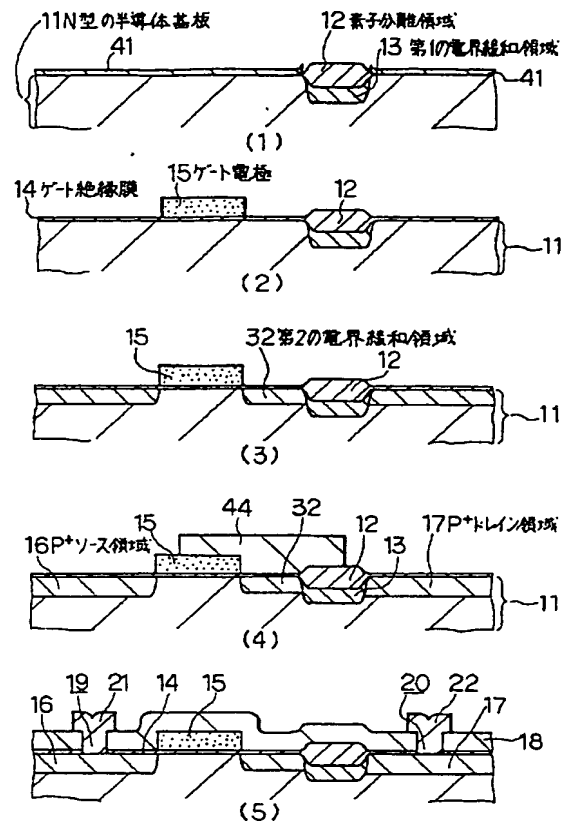
第1の実施例の製造工程図

【図5】



従来例の概略構成断面図

【図4】



第2の実施例の製造工程図